

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of :
Taketo FUKURO :
Serial No.: [NEW] : Mail Stop Patent Application
Filed: January 21, 2004 : Attorney Docket No. OKI.609
For: SEMICONDUCTOR DEVICE

CLAIM OF PRIORITY

U.S. Patent and Trademark Office
2011 South Clark Place
Customer Window, Mail Stop Patent Application
Crystal Plaza Two, Lobby, Room 1B03
Arlington, VA 22202

Sir:

Applicant, in the above-identified application, hereby claims the priority date under the International Convention of the following Japanese application:

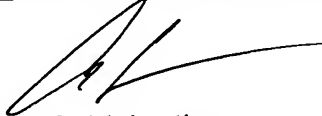
Appln. No. 2003-352212 filed October 10, 2003

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, PLLC



Adam C. Volentine
Registration No. 33,289

12200 Sunrise Valley Drive, Suite 150
Reston, Virginia 20191
Tel. (703) 715-0870
Fax. (703) 715-0877

Date: January 21, 2004



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 0 月 1 0 日
Date of Application:

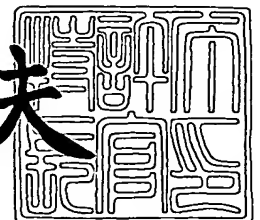
出 願 番 号 特 願 2 0 0 3 - 3 5 2 2 1 2
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 3 5 2 2 1 2]

出 願 人 沖電気工業株式会社
Applicant(s): 宮城沖電気株式会社

2 0 0 3 年 1 2 月 5 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 1 0 0 7.4 8

【書類名】 特許願
【整理番号】 OH003873
【あて先】 特許庁長官殿
【国際特許分類】 H01L 29/86
【発明者】
 【住所又は居所】 宮城県黒川郡大衡村沖の平 1 番 宮城沖電気株式会社内
 【氏名】 袋 武人
【特許出願人】
 【識別番号】 000000295
 【氏名又は名称】 沖電気工業株式会社
【特許出願人】
 【識別番号】 591048162
 【氏名又は名称】 宮城沖電気株式会社
【代理人】
 【識別番号】 100085419
 【弁理士】
 【氏名又は名称】 大垣 孝
【手数料の表示】
 【予納台帳番号】 012715
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9001068

【書類名】 特許請求の範囲**【請求項 1】**

シリコン基板と、

該シリコン基板の一方の主表面に上面を露出させて該シリコン基板中に設けられている第一導電型の不純物領域と、

該第一導電型の不純物領域の前記上面と接して設けられていてPN接合を形成している第二導電型のポリシリコンプラグと、

該第二導電型のポリシリコンプラグの頂面に接続された配線とを具えることを特徴とする半導体装置。

【請求項 2】

請求項 1 に記載の半導体装置において、

前記第一導電型の不純物領域の不純物濃度と第二導電型のポリシリコンプラグの不純物濃度とが同じであることを特徴とする半導体装置。

【請求項 3】

請求項 1 又は 2 に記載の半導体装置において、

前記シリコン基板の上面と前記第一導電型の不純物領域の上面は、同一平面内にあることを特徴とする半導体装置。

【請求項 4】

請求項 1 ないし 3 のいずれか一項に記載の半導体装置において、

前記第二導電型のポリシリコンプラグは、前記第一導電型の不純物領域とPN接合を形成するPN接合プラグ部と、該PN接合プラグ部と一体的に連続構成されていて前記配線と接続されている配線接続部とを有していることを特徴とする半導体装置。

【請求項 5】

請求項 1 ないし 3 のいずれか一項に記載の半導体装置において、

前記第二導電型のポリシリコンプラグは、前記第一導電型の不純物領域とPN接合を形成するとともに前記配線と接続されているPN接合プラグ部であることを特徴とする半導体装置。

【請求項 6】

請求項 1 ないし 5 のいずれか一項に記載の半導体装置において、

前記第一導電型の不純物領域の上面と前記第二導電型のポリシリコンプラグの底面は、同じ輪郭形状を有していることを特徴とする半導体装置。

【請求項 7】

請求項 1 ないし 6 のいずれか一項に記載の半導体装置において、

前記PN接合は、一平面内のみに形成されていることを特徴とする半導体装置。

【請求項 8】

請求項 1 ないし 7 のいずれか一項に記載の半導体装置において、

前記第一導電型の不純物領域の不純物濃度を $1.0 \times 10^{15} \text{ cm}^{-2}$ の値とし及び前記第二導電型のポリシリコンプラグの不純物濃度を $5.0 \times 10^{14} \text{ cm}^{-2}$ から $5.0 \times 10^{15} \text{ cm}^{-2}$ までの範囲内の値とすることを特徴とする半導体装置。

【請求項 9】

請求項 1 ないし 8 のいずれか一項に記載の半導体装置において、

前記第一導電型をN導電型とし及び前記第二導電型をP導電型とすることを特徴とする半導体装置。

【請求項 10】

請求項 1 ないし 7 のいずれか一項に記載の半導体装置において、

前記第一導電型をP導電型とし及び前記第二導電型をN導電型とすることを特徴とする半導体装置。

【書類名】明細書

【発明の名称】半導体装置

【技術分野】

【0001】

この発明は、半導体装置、特にPN接合を有するダイオードに接続されたメタル配線を具える半導体装置に関する。

【背景技術】

【0002】

従来の半導体装置においては、PN接合を有するダイオード（以下、PN接合ダイオードという。）とこのPN接合ダイオードに接続されたメタル配線は、以下のような構造のものがある。

【0003】

図4（A）は、従来のPN接合ダイオード及びそのダイオードに接続されたメタル配線の概略的な構造を断面切り口で示したものである。

【0004】

Si基板200の表面に形成されたN⁺領域202中に、PN接合を形成するためのP⁺領域204が形成されている。このP⁺領域204上に導電層プラグ210aが形成され、導電層配線210bと接続されている。導電層プラグ210a及び導電層配線210bは、メタル、例えばアルミニウムで形成されており、導電層プラグ210aは、Si基板200の表面を覆うように形成された絶縁膜206に埋め込まれた構造になっている。

【0005】

図5（A）～（D）は、図4（A）に示した従来のPN接合ダイオードの概略的な製造工程を示したものである。

【0006】

Si基板本体の一方の主表面側に、N型不純物をイオン打ち込みし、本体残存部のSi基板200とその上側のN⁺領域202とを形成する（図5（A））。このN⁺領域202の表面内側に、P型不純物をイオン打ち込みし、P⁺領域204を形成する（図5（B））。これにより、N⁺領域202とP⁺領域204とが接する領域にPN接合205が形成される。

【0007】

絶縁膜206をP⁺領域204を含むN⁺領域202の表面上に形成し、次いで、この絶縁膜206にP⁺領域204表面を露出させる開口部208を形成する（図5（C））。スパッタリングによって、開口部208を埋め込むように、絶縁膜206上に、導電層を形成し、次いで、エッチングによってパターンニングすることによって導電層プラグ210a及び導電層配線210bを形成する（図5（D））。

【0008】

また、基板表面上に、ポリシリコン層を設けたダイオードがいくつか知られている。例えば、特許文献1では、PN接合部分及び空乏層領域直上に、ポリシリコン層を設けることで、キャリアの蓄積を防ぐダイオードが提案されている。特許文献2では、基板上の同一面に、基準電圧発生用のツェナーダイオードと温度補償用ダイオードを形成する方法が提案されている。

【特許文献1】特許第3255698号公報

【特許文献2】特開平6-350108号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

図4（A）に示した従来のPN接合ダイオードでは、接合部分の接合面積が大きく、接合を流れる電流也多方向である。図4（B）は、図4（A）に示したPN接合ダイオードのP⁺領域204を模式的に斜視図で示したものである。説明を容易にするために、形状を直方体として示している。PN接合205は、P⁺領域204を直方体と考えた際の底

面 205a 及び 4 つの側面 205b ~ 205e に形成されているため、接合面積が大きい。また、電流は、図 4 (B) 中の矢印で示したように、底面方向 (I)、4 つの側面方向 (II) ~ (V) の 5 つの方向に流れていく。一般に、接合面積が大きいほど回路を流れる電流は大きくなるため、PN 接合ダイオードにおいて、接合面積が大きければ、リーク電流増加へとつながる。

【0010】

このように、従来の PN 接合ダイオードでは、電流の流れる経路が多く、接合面積も大きいことにより、リーク電流が増大するという欠点があった。

【0011】

また、プラズマ処理、例えばスパッタリング或いはドライエッチングの工程では、図 4 (A) 及び (B) 中の矢印に示した経路へリーク電流と同様にチャージアップ電流が流れる。PN 接合している面が、P⁺領域 204 の底面及び側面であるために、多方向にチャージアップ電流が流れることになる。すなわち、PN 接合ダイオードに接続される配線形成の際に行うスパッタリング等のプラズマ処理で生じるチャージアップ電流が、多方向に流れることにより、不具合を生じやすいという問題点もあった。

【課題を解決するための手段】

【0012】

そこで、発明者は鋭意研究の結果、PN 接合の形成を一つの面のみにすることで、PN 接合の形成される面積を減らし、チャージアップ電流の流れる方向も一方向にできることを見いだした。

【0013】

この発明の半導体装置によれば、シリコン基板と、該シリコン基板の一方の主表面上に上面を露出させて該シリコン基板中に設けられている第一導電型の不純物領域と、該第一導電型の不純物領域の前記上面と接して設けられていて PN 接合を形成している第二導電型のポリシリコンプラグと、該第二導電型のポリシリコンプラグの頂面に接続された配線とを具えることを特徴とする。

【発明の効果】

【0014】

この発明の半導体装置によれば、PN 接合の接合面を、ポリシリコンプラグの底面のみにする、すなわち、シリコンウエハ表面の拡散層と拡散層とは異なる導電型のポリシリコンプラグの接触面で PN 接合を形成することで、電流経路が一方向に制限でき、尚かつ接合リーク電流の低減も可能になる。

【0015】

また、接続する配線を形成する際のプラズマ処理、例えばスパッタリングによって生じるチャージアップ電流を PN 接合の整流作用により制御することができる。

【発明を実施するための最良の形態】

【0016】

以下、図面を参照して、この発明を実施するための最良の形態を説明する。尚、製造方法を説明する各図は、製造工程の各段階で得られる構造体の断面切り口を概略的に示している。また、構造体を構成する各構成要素の大きさ、形状及び配置関係は、この発明が理解できる程度に概略的に示してある。また、各図において同様の構成成分については同一の番号を付して示し、その重複する説明を省略することもある。

【0017】

以下、一例として、シリコン (Si) 基板の一方の主表面上に上面を露出させて設けられている第一導電型の不純物領域である N⁺領域上に、第一導電型の不純物領域の上面と接して設けられている第二導電型のポリシリコンプラグである P⁺ポリシリコンプラグを形成した PN 接合ダイオードの場合について説明する。よって、N 型が第一導電型、及び P 型が第二導電型に相当する。

【0018】

図 1 は、この発明による半導体装置の一部分を概略的な断面で表した図である。

【0019】

Si 基板 100 の主表面 100a から Si 基板 100 中に N 型不純物が拡散された N⁺ 領域 102 が形成されている。この N⁺ 領域 102 は、Si 基板 100 の主表面 100a に上面 103 を露出した状態で形成されている。従って、この場合には、N⁺ 領域 102 の上面 103 は、Si 基板 100 の主表面 100a と同一面内にあるか、或いは場合によっては、この上面 103 は主表面 100a より上側に形成されている。この N⁺ 領域 102 の上面 103 上に接するように P⁺ ポリシリコンプラグ 109 が形成されている。P⁺ ポリシリコンプラグ 109 は、この最良の形態では、PN 接合プラグ部 108a と、この PN 接合プラグ部 108a と一体的に連続形成されている配線接続部 108b とからなっている。PN 接合プラグ部 108a は、N⁺ 領域 102 と接して PN 接合を形成している。従って、この PN 接合は、一平面内のみに形成されている。

【0020】

配線接続部 108b は、導電層配線部 114b と接続するための導電層プラグ 114a と頂面 111 で接続されている。P⁺ ポリシリコンプラグ 109 及び導電層プラグ 114a は、Si 基板 100 の主表面 100a を覆うように形成された絶縁膜 104 及びこの絶縁膜 104 上に形成された絶縁膜 110 に埋め込まれた構造になっている。そして、上述したこの導電層プラグ 114a と導電層配線部 114b とで一体的に連続構成された配線 114 としての導電層を形成している（図 1（A））。

【0021】

この最良の形態では、P⁺ ポリシリコンプラグ 109 は、PN 接合プラグ部 108a と配線接続部 108b とで構成されているが、配線接続部 108b を形成せずに、直接導電層プラグ 114a と PN 接合プラグ部 108a を接続しても良い（図 1（B））。

【0022】

このように、図 1 に示す構成は、丁度、図 4（A）に示した従来の構成例において、Si 基板 200 を省略し、N⁺ 領域 202 を Si 基板 100 で置き換え、P⁺ 領域 204 を N⁺ 領域 102 で置き換え、導電層プラグ 210a を PN 接合プラグ部 108a で置き換えた構造となっている。

【0023】

この最良の形態では、N⁺ 領域の上面 103 の面積と P⁺ ポリシリコンプラグの底面 107 の面積が等しく、これら上面と底面が同じ輪郭形状としている。しかしながら、この発明は、N⁺ 領域の上面 103 に P⁺ ポリシリコンプラグ 109 が形成されることにより、PN 接合が形成されていればよく、P⁺ ポリシリコンプラグの底面 107 が、N⁺ 領域の上面 103 よりも大きい、或いは小さい場合でも同様に適用できる。

【0024】

従って、図 1 に示す構成例において、P⁺ ポリシリコンプラグ 109 の底面の面積を図 4（A）に示す P⁺ 領域 204 の Si 基板 200 の主表面と平行な PN 接合 205 と同じ面積として形成した場合、このような N⁺ 領域 102 上に P⁺ ポリシリコンプラグ 109 を形成した構造にすることにより、PN 接合の面積は、P⁺ ポリシリコンプラグ 109 の底面 107 の面積のみとなり、従って、従来の構造の側面部分の PN 接合の面積が減少するため、リーク電流を低減できる。また、図 1 中に矢印で示したように、配線形成時のプラズマ処理、例えば、スパッタリングやドライエッチングにおいて生じるチャージアップ電流は、従来の PN 接合のように多方向では無く、一方向に流れるように制御できる。

【0025】

図 2 及び 3 を参照して、この発明を実施するための最良の形態の半導体装置の製造方法を説明する。

【0026】

まず、Si 基板 100 を用意する（図 2（A））。この Si 基板 100 の主表面上に、N⁺ 領域 102 を形成する領域を開口したレジストパターンを形成する（図示せず）。Si 基板 100 の主表面 100a に、N 型不純物をイオン打ち込みし、レジストパターンを除去することによって、当該主表面から Si 基板 100 中に N⁺ 領域 102 を形成する（

図 2 (B))。

【0027】

次に、絶縁膜 104 を、例えば、CVD 法によってシリコン酸化膜で成膜する。次いで、N⁺領域 102 の上側の絶縁膜の領域部分を公知のホトリソ・エッチング技術によって開口し、開口部 106 を形成する (図 2 (C))。

【0028】

次いで、例えば、P 型不純物をドーピングしたポリシリコン膜を CVD 法によって成膜することによって、P⁺ポリシリコン膜 108 を形成する (図 2 (D))。N⁺領域 102 と P⁺ポリシリコン膜 108 の接している領域が、PN 接合 113 となる。P⁺ポリシリコン膜 108 の成膜は、ノンドーピングのポリシリコン膜を成膜した後、P 型不純物をイオン打ち込みすることによって形成してもよい。

【0029】

形成した P⁺ポリシリコン膜 108 を公知のホトリソ・エッチング技術によりパターンニングして、PN 接合プラグ部 108a と配線接続部 108b とから構成される P⁺ポリシリコンプラグ 109 を形成する (図 2 (E))。

【0030】

次に、絶縁膜 110 を、例えば、シリコン酸化膜を CVD 法によって成膜することで形成する (図 3 (A))。公知のホトリソ・エッチング技術により、P⁺ポリシリコンプラグ 109 の頂面 111 を露出するための開口部 112 を形成する (図 3 (B))。

【0031】

導電層 114 を、例えば、スパッタリングによりアルミニウムで形成する (図 3 (C))。公知のホトリソ・エッチング技術によってパターンニングを行い、図 1 に示した半導体装置が形成される。

【0032】

ここで、N⁺領域 102 と P⁺ポリシリコンプラグ 109 の不純物濃度は、同じに設定する。このようにすることで、電流の整流作用が必要とされる部位に使用する PN 接合ダイオードとして好適である。不純物濃度が同じとみなせる範囲としては、N⁺領域 102 と P⁺ポリシリコンプラグ 109 の不純物濃度が等しいか、或いはツェナーダイオードを形成しない程度の不純物濃度の差の範囲とする。例えば、N⁺領域 102 の N 型不純物の不純物濃度が $1.0 \times 10^{15} \text{ cm}^{-2}$ 程度である場合、P⁺ポリシリコンプラグ 109 の P 型不純物の不純物濃度は、 $5.0 \times 10^{14} \text{ cm}^{-2} \sim 5.0 \times 10^{15} \text{ cm}^{-2}$ 程度となっていれば良い。

【0033】

この最良の形態では、N⁺領域に P⁺ポリシリコンプラグを形成する例を示したが、第一導電型と第二導電型を逆にした、すなわち、P⁺領域に N⁺ポリシリコンプラグを形成した PN 接合ダイオードでも同様の効果が得られる。

【図面の簡単な説明】

【0034】

【図 1】 (A) 及び (B) は、それぞれ、最良の形態の半導体装置の構成例の説明に供するための図である。

【図 2】 (A) ~ (E) は、最良の形態の半導体装置の一構成例の製造方法を説明するための工程図である。

【図 3】 (A) ~ (C) は、図 2 (E) の工程に続く工程図である。

【図 4】 従来の半導体装置の説明に供するための図である。

【図 5】 (A) ~ (D) は、従来の半導体装置の製造方法を説明するための工程図である。

【符号の説明】

【0035】

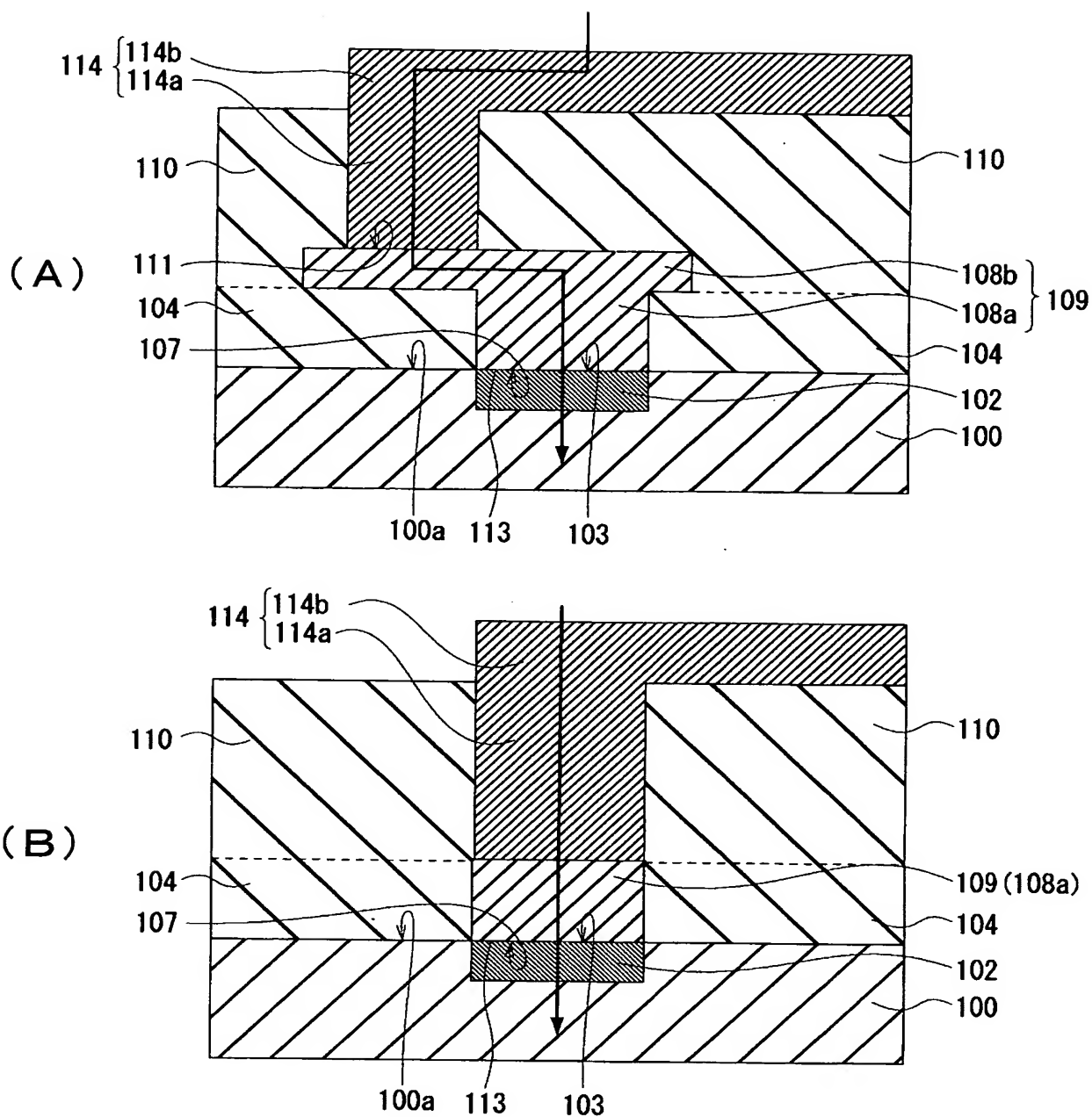
100 : Si 基板

102 : N⁺領域

1 0 3 : 上面
1 0 4、1 1 0 : 絶縁膜
1 0 6、1 1 2 : 開口部
1 0 7 : 底面
1 0 8 : P⁺ポリシリコン膜
1 0 8 a : P N 接合プラグ部
1 0 8 b : 配線接続部
1 0 9 : P⁺ポリシリコンプラグ
1 1 1 : 頂面
1 1 3 : P N 接合
1 1 4 : 配線 (導電層)
1 1 4 a : 導電層プラグ
1 1 4 b : 導電層配線部

【書類名】 図面

【図 1】

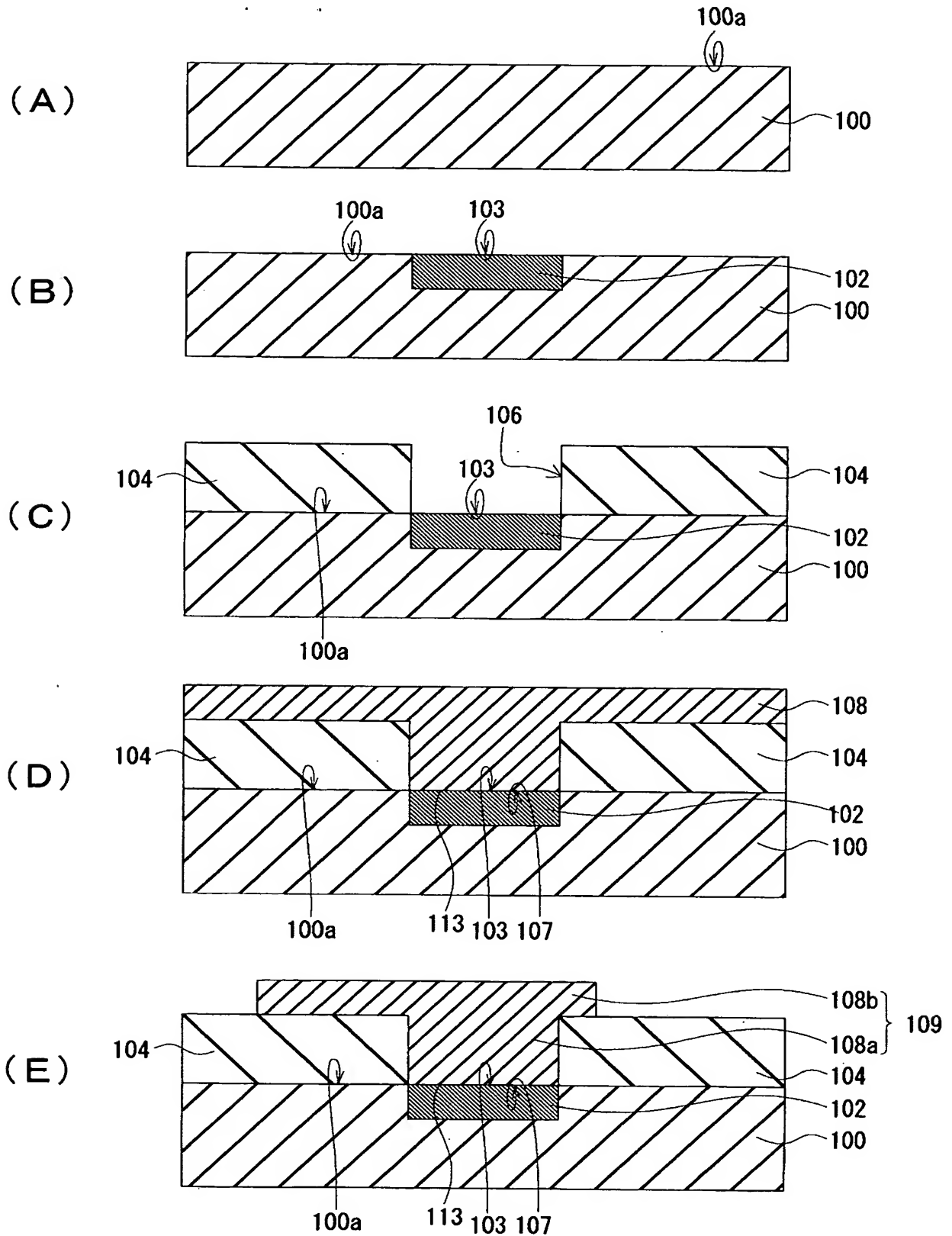


100: Si 基板
 102: N⁺領域
 104, 110: 絶縁膜
 111: 頂面
 108b: 配線接続部
 113: PN接合
 114a: 導電層プラグ

100a: 主表面
 103: 上面
 107: 底面
 108a: PN接合プラグ部
 109: P⁺ポリシリコンプラグ
 114: 配線 (導電層)
 114b: 導電層配線部

最良の形態の半導体装置

【図 2】

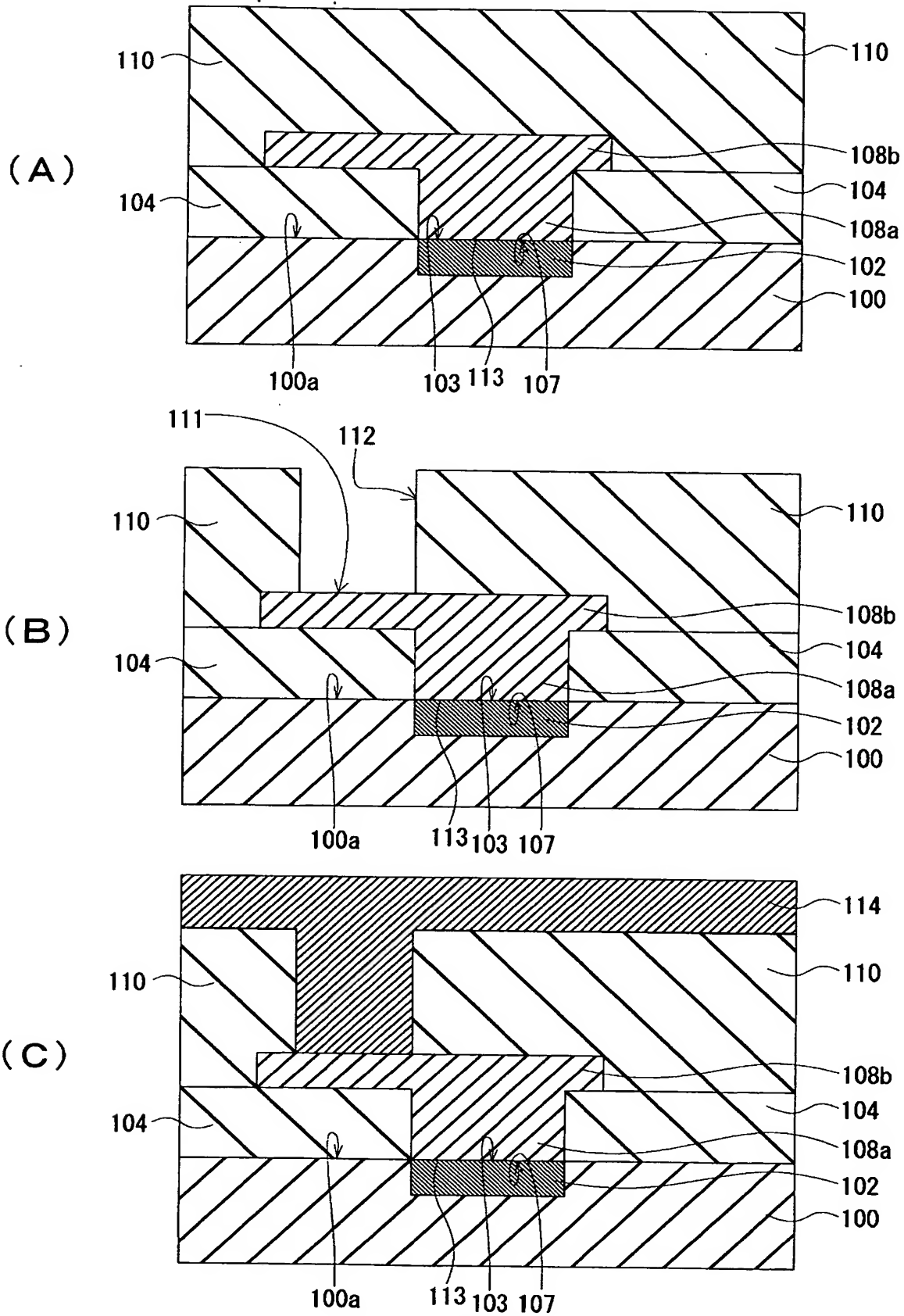


106: 開口部

108: P⁺ポリシリコン膜

最良の形態の半導体装置の製造工程

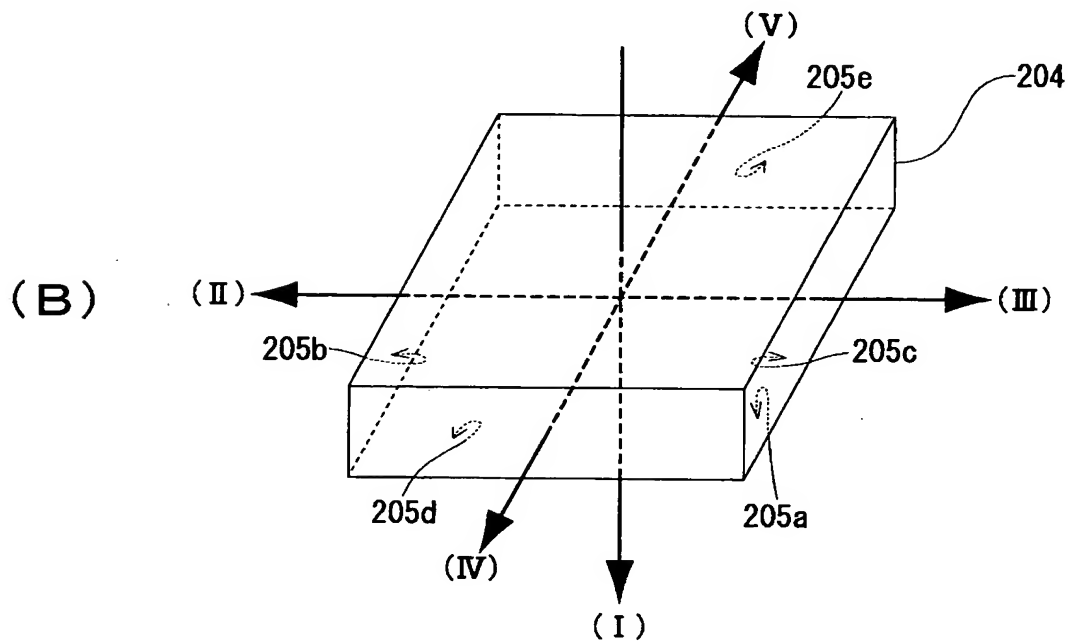
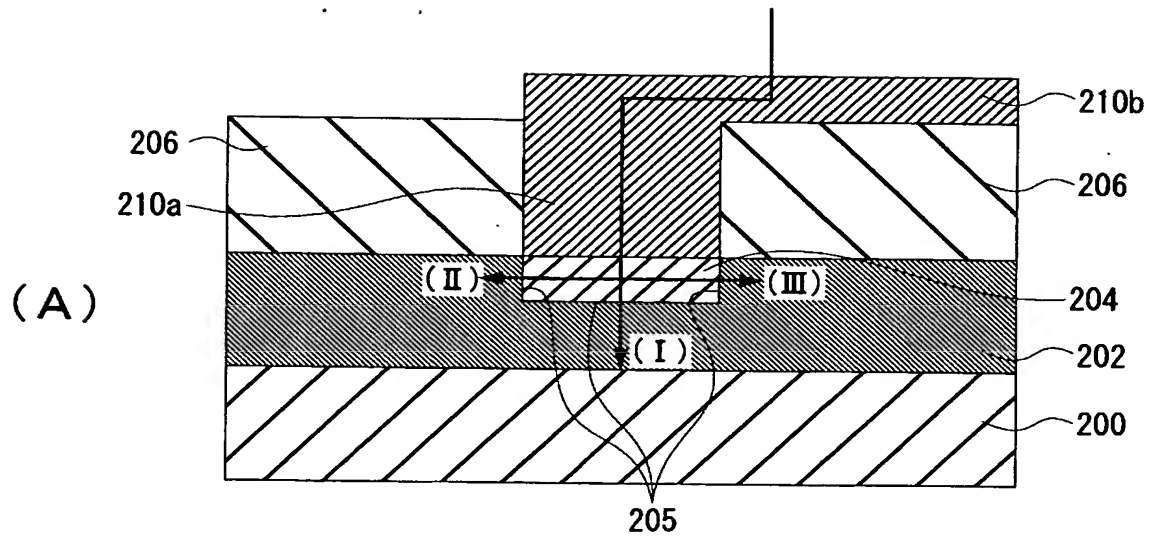
【図 3】



112: 開口部

最良の形態の半導体装置の製造工程

【図 4】

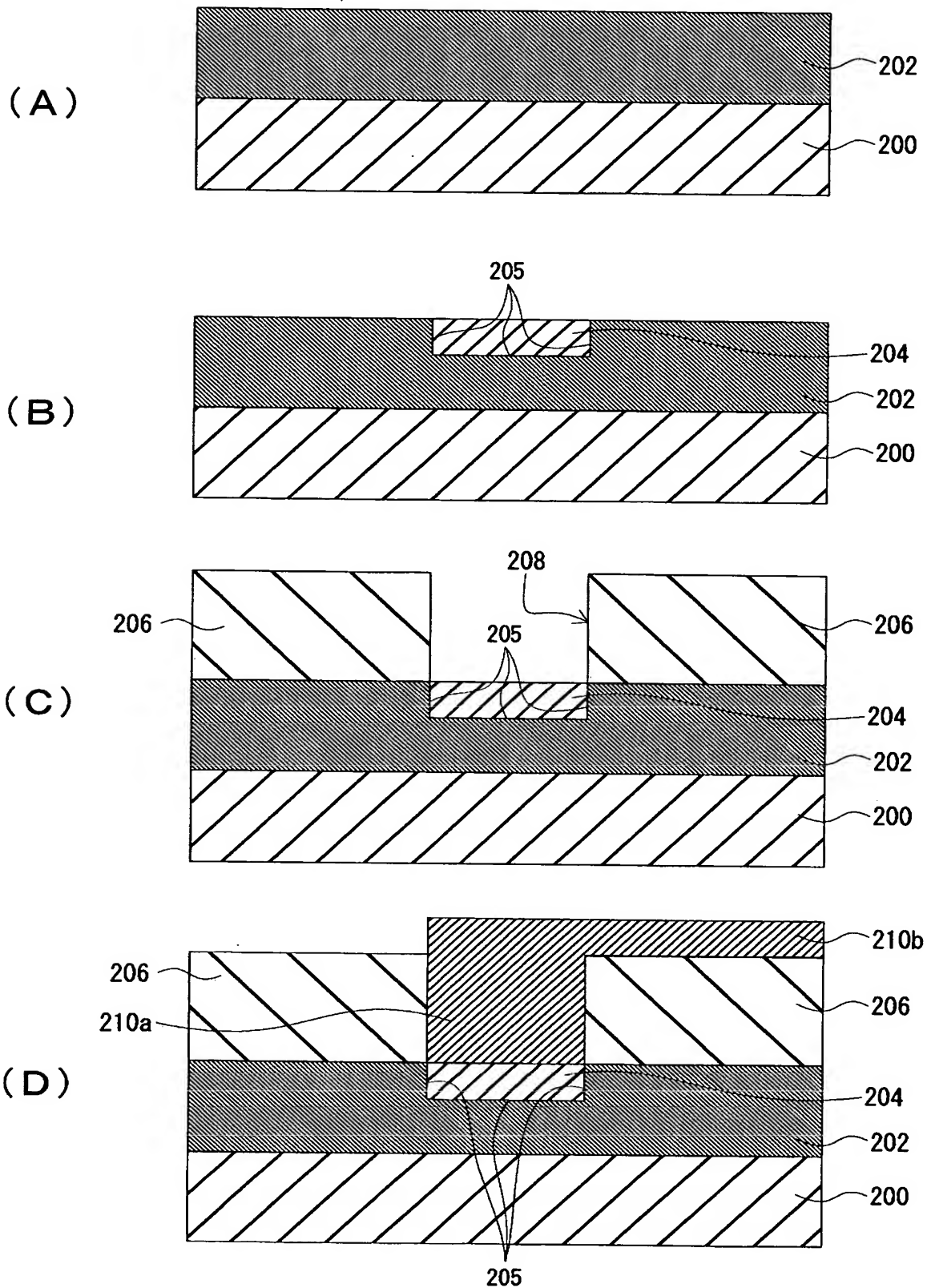


200: Si 基板
204: P⁺領域
205a: 底面
206: 絶縁膜
210b 導電層配線

202: N⁺領域
205: PN接合
205b-e: 側面
210a: 導電層プラグ

従来の半導体装置

【図 5】



208: 開口部

従来の半導体装置の製造工程

【書類名】 要約書

【要約】

【課題】 P N 接合ダイオードに生じるリーク電流を低減し、P N 接合ダイオードに接続される配線形成でのプラズマ処理によるチャージアップ電流を制御する。

【解決手段】 S i 基板 1 0 0 の一方の主表面に上面を露出させて該 S i 基板中に設けられている第一導電型の不純物領域である N⁺領域 1 0 2 と、N⁺領域の上面 1 0 3 と底面 1 0 7 で接して設けられている P⁺ポリシリコンプラグ 1 0 9 と、P⁺ポリシリコンプラグ 1 0 9 の頂面 1 1 1 に接続された配線 1 1 4 とを具える。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 3 5 2 2 1 2
受付番号	5 0 3 0 1 6 9 3 8 5 7
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 5 年 1 0 月 1 4 日

< 認定情報・付加情報 >

【提出日】 平成15年10月10日

特願 2 0 0 3 - 3 5 2 2 1 2

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 0 2 9 5]

1. 変更年月日

1 9 9 0 年 8 月 2 2 日

[変更理由]

新規登録

住 所

東京都港区虎ノ門1丁目7番12号

氏 名

沖電気工業株式会社

特願 2 0 0 3 - 3 5 2 2 1 2

出 願 人 履 歴 情 報

識別番号

[5 9 1 0 4 8 1 6 2]

1. 変更年月日 1 9 9 1 年 3 月 1 1 日
 [変更理由] 新規登録
 住 所 宮城県黒川郡大衡村沖の平 1 番地
 氏 名 宮城沖電気株式会社

2. 変更年月日 2 0 0 2 年 7 月 4 日
 [変更理由] 住所変更
 住 所 宮城県黒川郡大衡村沖の平 1 番
 氏 名 宮城沖電気株式会社